

(19)日本国特許庁 (JP)

## (12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-254713

(43)公開日 平成8年(1996)10月1日

(51)Int.Cl.\*

G 02 F 1/136  
H 01 L 29/786

区分記号

5 0 0

序内整理番号

F I

G 02 F 1/136  
H 01 L 29/78

技術表示箇所

5 0 0  
6 1 7 T

検査請求 未請求 請求項の数23 O L (全 12 頁)

(21)出願番号

特願平7-56939

(22)出願日

平成7年(1995)3月16日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 福田 加一

神奈川県横浜市磯子区新杉田町8 株式会社東芝横浜事業所内

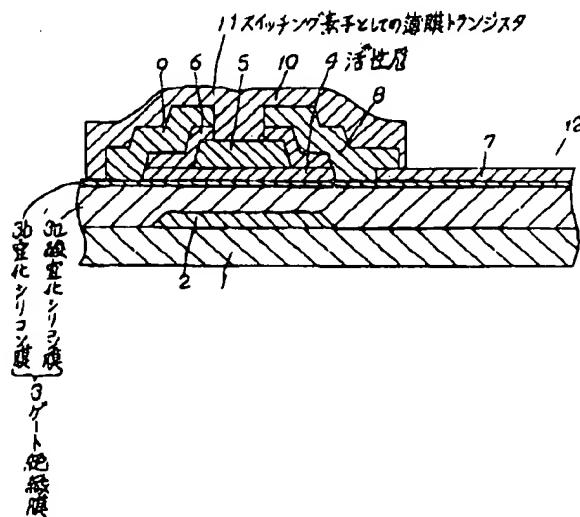
(74)代理人 弁理士 柳澤 奥 (外2名)

(54)【発明の名称】 薄膜トランジスタ、その製造方法および液晶表示装置

## (57)【要約】

【目的】 特性、安定性、絶縁性、歩留およびプロセス整合性に優れた薄膜トランジスタを提供する。

【構成】 ガラス基板1の主面上にゲート電極2を形成する。ゲート電極2上に、酸窒化シリコン(Si<sub>x</sub>N<sub>y</sub>)膜3a、窒化シリコン(Si<sub>x</sub>N<sub>y</sub>)膜3bを積層形成し、2層でゲート絶縁膜3とする。ゲート絶縁膜3上に、a-Si膜4を積層形成する。a-Si膜4上に、Si<sub>x</sub>N<sub>y</sub>膜を積層して、チャネル保護膜5を形成する。ゲート絶縁膜3上にITO(Indium Tin Oxide)の画素電極7が形成する。低抵抗半導体膜6のソース領域上には、画素電極7と接続した状態でソース電極8を形成し、ドレイン領域上にはドレイン電極9を形成し、保護膜10を積層形成し、能動素子基板12となる。



(2)

特開平08-254713

## 【特許請求の範囲】

【請求項1】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタにおいて、

前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接していることを特徴とする薄膜トランジスタ。

【請求項2】 酸窒化シリコン膜は、Si、N、O、Hを主成分とし、Nの濃度が、N/Si比で1.1以上0.8以下であり、かつ、Oの濃度よりも少なく、窒化シリコン膜は、Si、N、Hを主成分とし、Nの濃度が、N/Si比で1.2以上1.6以下、Oの濃度が、 $5 \times 10^{20} \text{ atoms/cm}^3$  以下であることを特徴とする請求項1記載の薄膜トランジスタ。

【請求項3】 酸窒化シリコン膜は、少なくとも一部にPおよびBのいずれか一方をドーピングしたことを特徴とする請求項1または2記載の薄膜トランジスタ。

【請求項4】 酸窒化シリコン膜は、波長632.8nmでの屈折率が、1.49以上1.65以下であることを特徴とする請求項1ないし3いずれか記載の薄膜トランジスタ。

【請求項5】 酸窒化シリコン膜は、膜厚が200nm以上450nm以下であり、

窒化シリコン膜は、膜厚が5nm以上200nm以下であることを特徴とする請求項1ないし4いずれか記載の薄膜トランジスタ。

【請求項6】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタにおいて、

前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接していることを特徴とする薄膜トランジスタ。

【請求項7】 酸化シリコン膜は、少なくとも一部にPおよびBのいずれか一方をドーピングしたことを特徴とする請求項6記載の薄膜トランジスタ。

【請求項8】 酸化シリコン膜は、Si、O、Hを主成分とし、Nの濃度が $5 \times 10^{20} \text{ atoms/cm}^3$  以下であることを特徴とする請求項6または7記載の薄膜トランジスタ。

【請求項9】 酸化シリコン膜および酸窒化シリコン膜の合計の膜厚は、200nm以上450nm以下であり、かつ、前記酸窒化シリコン膜の膜厚は100nm以上であり、前記窒化シリコン膜の膜厚は5nm以上200nm以下であることを特徴とする請求項6ないし8いずれか記載の薄膜トランジスタ。

【請求項10】 ゲート電極上にゲート絶縁膜を形成

し、このゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用い、この活性層上にチャネル保護膜を有する逆スタガード型の薄膜トランジスタにおいて、

ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接し、かつ、前記チャネル保護膜が前記ゲート電極に自己整台されたことを特徴とする薄膜トランジスタ。

【請求項11】 ゲート電極上にゲート絶縁膜を形成し、このゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを活性層に用い、この活性層上にチャネル保護膜を有する逆スタガード型の薄膜トランジスタにおいて、

前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は前記酸化シリコン膜の上部を覆って配置され、前記窒化シリコン膜が前記非単結晶シリコンに接し、かつ、前記チャネル保護膜を前記ゲート電極に自己整合させたことを特徴とする薄膜トランジスタ。

【請求項12】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、

この酸窒化シリコン膜は、原料ガスにSiH<sub>4</sub>、N<sub>2</sub>O、N<sub>2</sub>またはNH<sub>3</sub>の混合ガスを用いたプラズマCVDによって形成することを特徴とする薄膜トランジスタの製造方法。

【請求項13】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、

前記酸窒化シリコン膜は、原料ガスに有機シラン、O<sub>2</sub>、N<sub>2</sub>またはNH<sub>3</sub>の混合ガスを用いたプラズマCVDによって形成することを特徴とする薄膜トランジスタの製造方法。

【請求項14】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、

前記酸窒化シリコン膜、窒化シリコン膜、非単結晶シリコンをプラズマCVDの同一反応室で連続的に形成することを特徴とする薄膜トランジスタの製造方法。

【請求項15】 ゲート絶縁膜上に活性層を形成し、こ

(3)

特開平08-254713

の活性層に非単結晶シリコンを用い、表面に保護膜を形成し、この保護膜に無機絶縁膜を用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜および空化シリコン膜の積層膜にて形成され、この空化シリコン膜が前記非単結晶シリコンに接しており、

前記酸化シリコン膜、空化シリコン膜、非単結晶シリコン、無機絶縁膜をプラズマCVDの同一反応室で連続的に形成することを特徴とする薄膜トランジスタの製造方法。

【請求項1-6】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸空化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸空化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単結晶シリコンに接しており、

前記酸化シリコン膜は、SiH<sub>4</sub>とO<sub>2</sub>を主な原料ガスとし、N<sub>2</sub>を希釈ガスに用い、常圧CVDで形成することを特徴とする薄膜トランジスタの製造方法。

【請求項1-7】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸空化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸空化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単結晶シリコンに接しており、

前記酸化シリコン膜は、有機シラン、O<sub>3</sub>、O<sub>2</sub>を主な原料ガスとし、N<sub>2</sub>を希釈ガスに用い、常圧CVDで形成することを特徴とする薄膜トランジスタの製造方法。

【請求項1-8】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸空化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸空化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単結晶シリコンに接しており、

前記酸化シリコン膜は、SiH<sub>4</sub>とN<sub>2</sub>Oを主な原料ガスとし、プラズマCVDで形成することを特徴とする薄膜トランジスタの製造方法。

【請求項1-9】 ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸空化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸空化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単

結晶シリコンに接しており、

前記酸化シリコン膜は、有機シランとO<sub>2</sub>を主な原料ガスとし、プラズマCVDで形成することを特徴とする薄膜トランジスタの製造方法。

【請求項2-0】 基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸空化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸空化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単結晶シリコンに接しており、

前記酸化シリコン膜の形成された基板を10 Torr以下の真空または減圧雰囲気中でアニールし、

次いで大気に曝すことなく酸空化シリコン膜を形成することを特徴とする薄膜トランジスタの製造方法。

【請求項2-1】 基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸空化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸空化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単結晶シリコンに接しており、

前記酸空化シリコン膜、空化シリコン膜、非単結晶シリコンをプラズマCVDの同一反応室で連続的に形成することを特徴とする薄膜トランジスタの製造方法。

【請求項2-2】 基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用い、表面に保護膜を形成し、この保護膜に無機絶縁膜を用いた薄膜トランジスタの製造方法において、

前記ゲート絶縁膜は、酸化シリコン膜、酸空化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸空化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単結晶シリコンに接しており、

酸空化シリコン膜、空化シリコン膜、非単結晶シリコン、無機絶縁膜をプラズマCVDの同一反応室で連続的に形成することを特徴とする薄膜トランジスタの製造方法。

【請求項2-3】 請求項1ないし1-1いずれか記載の薄膜トランジスタをスイッチング素子として用いたことを特徴とする液晶表示素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、活性層に非単結晶シリコンを用いた薄膜トランジスタ、その製造方法および液晶表示素子に関する。

【0002】

【従来の技術】 近年、液晶を用いた表示素子としては、

テレビジョン表示やグラフィックディスプレイなどを指向した大容量、高密度化が図られている。そして、このため、たとえばラビングによる配向処理がそれぞれ施された2枚の基板を、これら基板の配向方向が互いに90°をなすように平行に対向して配置し、この平行に配置した基板間に、ネマチックタイプの液晶組成物を挟持させた構成のいわゆるツイステッドネマチック(TN)型でアクティブマトリクス(AM)型の液晶表示素子(LCD)が注目されている。

【0003】そして、このアクティブマトリクス型液晶表示素子では、クロストークのない高コントラスト表示が行なえるように、各画素の駆動および制御を半導体スイッチで行なう方式が採用されている。そして、この半導体スイッチとしては透過型の表示が可能であり、また大面積化も容易であるなどの理由から、透明絶縁基板上に形成配造した非晶質シリコン(a-Si)系の薄膜トランジスタ(TFT)が用いられており、この薄膜トランジスタは、活性層にa-Si層を用い、この活性層を挟んで下層にゲート電極、上層にソース電極およびドレイン電極を配置した逆スタガード構造が多く用いられている。

【0004】また、この薄膜トランジスタに用いるゲート絶縁膜には、空化シリコン(SiNx)を使用するのが一般的である。

【0005】

【発明が解決しようとする課題】そして、これらSiNxとa-SiとはプラスマCVDでの連続形成が可能であり、接合特性に優れ良質界面を形成できるので広く用いられているものの、SiNxはワイドギャップが5eV程度とあまり広くないので絶縁性が十分ではない。

【0006】また、ゲート絶縁膜に別の構造を用いる構成として、たとえばボトムゲート薄膜トランジスタの場合には、焼成タンタル(TaOx)や酸化シリコン(SiOx)膜などを下層に配設して、a-Siと接する上層にSiNxを用いる構成がある。このようにTaOxやSiOxなどの他の膜と組み合わせることによって、SiNxの単層の場合に比べ、リーク電流の低減や層間絶縁の歩留まり向上を図ることができる。特に、SiOx膜はワイドギャップが広いので、絶縁膜への電荷に注入が少なく薄膜トランジスタ特性が安定化する。さらに、製造技術としてもSiOx膜では熱CVDなどのパーティクル発生の少ない手法が確立されており、ピンホール欠陥の密度が少なく、層間絶縁に高歩留まりが得られる。

【0007】しかしながら、通常、薄膜トランジスタは低融点のガラス基板上に形成するため、これらガラス基板内に含まれる不純物として10<sup>19</sup>~10<sup>20</sup>cm<sup>-3</sup>程度のNaがNaイオンとなり、このNaイオンがゲート絶縁膜中に進入して、薄膜トランジスタの特性の不安定化を招く。なお、この点ではSiNx膜がNaイオンのプロ

ッキング効果が高いのに対して、SiOx膜の場合にはNaイオンが自由に移動してしまうことは良く知られている。したがって、ガラス表面にあらかじめ何らかのイオンブロッキング膜、たとえばSiNx膜やBPSG膜、BPSG膜をコーティングすることも効果はあるが十分ではない。さらに、SiOx膜は製法によっては吸湿しやすい膜となり、膜中に取り込まれた水分がやはり薄膜トランジスタの特性を不安定化させてしまう問題を有している。

【0008】本発明は、上記問題点に踏みなされたもので、特性、安定性、絶縁性、歩留およびプロセス整合性に優れた薄膜トランジスタ、その製造方法および液晶表示素子を提供することを目的とする。

【0009】

【課題を解決するための手段】請求項1記載の薄膜トランジスタは、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタにおいて、前記ゲート絶縁膜は、酸窒化シリコン膜および空化シリコン膜の積層膜にて形成され、この空化シリコン膜が前記非単結晶シリコンに接しているものである。

【0010】請求項2記載の薄膜トランジスタは、請求項1記載の薄膜トランジスタにおいて、酸空化シリコン膜は、Si、N、O、Hをモル比とし、Nの濃度が、N/Si比で0.1以上0.8以下であり、かつ、Oの濃度よりも少なく、空化シリコン膜は、Si、N、Hを主成分とし、Nの濃度が、N/Si比で1.2以上1.6以下、Oの濃度が、5×10<sup>20</sup>atoms/cm<sup>3</sup>以下であるものである。

【0011】請求項3記載の薄膜トランジスタは、請求項1または2記載の薄膜トランジスタにおいて、酸空化シリコン膜は、少なくとも一部にPおよびBのいずれか一方をドーピングしたものである。

【0012】請求項4記載の薄膜トランジスタは、請求項1ないし3いずれか記載の薄膜トランジスタにおいて、酸窒化シリコン膜は、波長632.8nmでの屈折率が、1.49以上1.65以下であるものである。

【0013】請求項5記載の薄膜トランジスタは、請求項1ないし4いずれか記載の薄膜トランジスタにおいて、酸窒化シリコン膜は、膜厚が200nm以上150nm以下であり、空化シリコン膜は、膜厚が5nm以上200nm以下であるものである。

【0014】請求項6記載の薄膜トランジスタは、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタにおいて、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単結晶シリコンに接しているものである。

【0015】請求項7記載の薄膜トランジスタは、請求

(5)

特開平08-254713

項6記載の薄膜トランジスタにおいて、酸化シリコン膜は、少なくとも一部にPおよびBのいずれか一方をドーピングしたものである。

【0016】請求項8記載の薄膜トランジスタは、請求項6または7記載の薄膜トランジスタにおいて、酸化シリコン膜は、Si、O、Hを主成分とし、Nの濃度が5×10<sup>20</sup>atoms/cm<sup>3</sup>以下であるものである。

【0017】請求項9記載の薄膜トランジスタは、請求項6ないし8いずれか記載の薄膜トランジスタにおいて、酸化シリコン膜および酸窒化シリコン膜の合計の膜厚は、200nm以上450nm以下であり、かつ、前記酸窒化シリコン膜の膜厚は100nm以上であり、前記窒化シリコン膜の膜厚は5nm以上200nm以下であるものである。

【0018】請求項10記載の薄膜トランジスタは、ゲート電極上にゲート絶縁膜を形成し、このゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用い、この活性層上にチャネル保護膜を有する逆スタガード型の薄膜トランジスタにおいて、ゲート絶縁膜は、酸空化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接し、かつ、前記チャネル保護膜が前記ゲート電極に自己整合されたものである。

【0019】請求項11記載の薄膜トランジスタは、ゲート電極上にゲート絶縁膜を形成し、このゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを活性層に用い、この活性層上にチャネル保護膜を有する逆スタガード型の薄膜トランジスタにおいて、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は前記酸化シリコン膜の上部を覆って配置され、前記窒化シリコン膜が前記非単結晶シリコンに接し、かつ、前記チャネル保護膜を前記ゲート電極に自己整合させたものである。

【0020】請求項12記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸空化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、この酸空化シリコン膜は、原料ガスにSiH<sub>4</sub>、N<sub>2</sub>O、N<sub>2</sub>またはNH<sub>3</sub>の混合ガスを用いたプラズマCVDによつて形成するものである。

【0021】請求項13記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、前記酸窒化シリコン膜は、原料ガスに有機シラン、O<sub>2</sub>、N<sub>2</sub>

またはNH<sub>3</sub>の混合ガスを用いたプラズマCVDによつて形成するものである。

【0022】請求項14記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、前記酸窒化シリコン膜、窒化シリコン膜、非単結晶シリコンをプラズマCVDの同一反応室で連続的に形成するものである。

【0023】請求項15記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用い、表面に保護膜を形成し、この保護膜に無機絶縁膜を用いた薄膜トランジスクの製造方法において、前記ゲート絶縁膜は、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この窒化シリコン膜が前記非単結晶シリコンに接しており、前記酸窒化シリコン膜、窒化シリコン膜、非単結晶シリコン、無機絶縁膜をプラズマCVDの同一反応室で連続的に形成するものである。

【0024】請求項16記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスクの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、前記酸化シリコン膜は、SiH<sub>4</sub>とO<sub>2</sub>を主な原料ガスとし、N<sub>2</sub>を希釈ガスに用い、常圧CVDで形成するものである。

【0025】請求項17記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、前記酸化シリコン膜は、有機シラン、O<sub>3</sub>、O<sub>2</sub>を主な原料ガスとし、N<sub>2</sub>を希釈ガスに用い、常圧CVDで形成するものである。

【0026】請求項18記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および窒化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記窒化シリコン膜は、前記非単結晶シリコンに接しており、前記酸化シリ

(6)

特開平08-254713

コン膜は、 $\text{SiH}_4$  と  $\text{N}_2\text{O}$  を主な原料ガスとし、プラズマCVDで形成するものである。

【0027】請求項19記載の薄膜トランジスタの製造方法は、ゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単結晶シリコンに接しており、前記酸化シリコン膜は、有機シランと  $\text{O}_2$  を主な原料ガスとし、プラズマCVDで形成するものである。

【0028】請求項20記載の薄膜トランジスタの製造方法は、基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単結晶シリコンに接しており、前記酸化シリコン膜の形成された基板を10 Torr以下の真空または減圧雰囲気中でアニールし、次いで大気に曝すことなく酸窒化シリコン膜を形成するものである。

【0029】請求項21記載の薄膜トランジスタの製造方法は、基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単結晶シリコンに接しており、前記酸化シリコン膜、空化シリコン膜、非単結晶シリコンをプラズマCVDの同一反応室で連続的に形成するものである。

【0030】請求項22記載の薄膜トランジスタの製造方法は、基板上にゲート絶縁膜上に活性層を形成し、この活性層に非単結晶シリコンを用い、表面に保護膜を形成し、この保護膜に無機絶縁膜を用いた薄膜トランジスタの製造方法において、前記ゲート絶縁膜は、酸化シリコン膜、酸窒化シリコン膜および空化シリコン膜の積層膜にて形成され、この酸窒化シリコン膜は、前記酸化シリコン膜の上部を覆って配置されるとともに、前記空化シリコン膜は、前記非単結晶シリコンに接しており、酸窒化シリコン膜、空化シリコン膜、非単結晶シリコン、無機絶縁膜をプラズマCVDの同一反応室で連続的に形成するものである。

【0031】請求項23記載の液晶表示素子は、請求項1ないし11いずれか記載の薄膜トランジスタをスイッチング素子として用いたものである。

【0032】

【作用】本発明の薄膜トランジスタは、ゲート絶縁膜として、酸窒化シリコン膜および空化シリコン膜を用い、この空化シリコン膜が非単結晶シリコンに接しているため、酸窒化シリコン膜はワイドギャップで絶縁性に優れ、不純物イオンブロック効果、耐水性を期待することができるとともに、空化シリコン膜は非単結晶シリコンとの界面性も良い。

【0033】また、本発明の薄膜トランジスタの製造方法は、ゲート絶縁膜として、酸窒化シリコン膜および空化シリコン膜を用い、この空化シリコン膜が非単結晶シリコンに接しており、この酸窒化シリコン膜は、原料ガスに  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{N}_2$  または  $\text{NH}_3$  の混合ガスを用いたプラズマCVDによって形成するため、簡単な方法で、絶縁性に優れ、不純物イオンブロック効果、耐水性を期待することができるとともに、空化シリコン膜は非単結晶シリコンとの接触性も得られる。

【0034】また、本発明の液晶表示素子は、請求項1ないし11いずれか記載の薄膜トランジスタをスイッチング素子としたため、特性が安定して動作する。

【0035】

【実施例】以下、本発明の一実施例をアクティブマトリクス型の液晶表示素子に適用した場合について、図面を参照して説明する。

【0036】図1はアクティブマトリクス型液晶表示装置(LCD)に用いる薄膜トランジスタ(TFT)を示す断面図であり、1は絶縁性基板でありたとえばガラス(コーニング社製7059)製のガラス基板で、このガラス基板1には一面上にモリブデン・タンタル(Mo-Ta)からなるゲート電極2が形成される。

【0037】また、ゲート電極2上には、このゲート電極2を覆うように、膜厚0.3  $\mu\text{m}$ の酸窒化シリコン( $\text{SiO}_x\text{Ny}$ )膜3aを積層形成し、さらに、膜厚0.05  $\mu\text{m}$ の空化シリコン( $\text{SiN}_x$ )膜3bを積層形成し、これら  $\text{SiO}_x\text{Ny}$  膜3aおよび  $\text{SiN}_x$  膜3bの2層でゲート絶縁膜3を構成する。

【0038】さらに、このゲート絶縁膜3上に、膜厚0.05  $\mu\text{m}$ の非晶質シリコン(a-Si)からなる活性層としての半導体膜であるa-Si膜4を積層形成する。そして、a-Si膜4上に、膜厚0.3  $\mu\text{m}$ の  $\text{SiN}_x$  膜3bを積層して、この  $\text{SiN}_x$  膜にレジストによるパターニングを施して、Hfを主成分としたエッチング溶液で所定の形状に加工し、レジストを取り除きチャネル保護膜5を形成する。

【0039】ここで、これらゲート絶縁膜3、a-Si膜4およびチャネル保護膜5の積層形成のプロセスについて説明する。

【0040】まず、 $\text{SiO}_x\text{Ny}$  膜3a、 $\text{SiN}_x$  膜3b、a-Si膜4およびチャネル保護膜5の形成方法としては、たとえば全てをプラズマCVD法にて形成する。これら  $\text{SiO}_x\text{Ny}$  膜3a、 $\text{SiN}_x$  膜3b、a-Si膜4お

(7)

特開平08-254713

よりチャネル保護膜5の積層形成には、それぞれに個別の反応室を割り当て、それら反応室を直列につないだインライン式のCVD装置で形成するのが最も一般的な方法である。一方、最も生産性を高めるにはこれら全ての膜を同一の反応室で、同一設定温度で積層形成するのが有効である。そして、プラズマCVDで形成する薄膜は、SiNx膜、a-Si膜とともに応力の大きい場合が多く、従来のゲート絶縁膜の大部分にSiNx膜を用いる構成では、一つの反応室でSiNx膜とa-Si膜を交互に積層すると、反応室の内壁から膜の剥がれが生じ、パーティクル発生要因となり、同一反応室での積層膜形成が生産性で有利なことは明らかであっても、実際上は量産に使用することができない。しかし、SiO<sub>x</sub>Ny膜3aは応力を小さくすることが容易であり、SiNx膜3bに比して密着性が優れるため、積層膜に占めるSiNx膜の膜厚を少なくすることができるので、SiO<sub>x</sub>Ny膜3aを導入して積層膜を形成する場合には、同一反応室での形成が十分に可能になる。

【0041】次に、a-Si膜4およびチャネル保護膜5上にたとえば膜厚0.05μmの低抵抗半導体膜6を成膜し、半導体膜4および低抵抗半導体膜6を加工して、チャネル領域、ソース領域およびドレイン領域を形成する。

【0042】また、ゲート絶縁膜3上にはITO(Indium Tin Oxide)からなる画素電極7が形成される。

【0043】そして、低抵抗半導体膜6のソース領域上には、画素電極7と接続した状態でソース電極8が形成され、ドレイン領域上にはドレイン電極9が形成され、さらに、保護膜10を積層形成する。こうして、ゲート電極2、ゲート絶縁膜3、a-Si膜4、ソース電極8、ドレイン電極9および保護膜10にてスイッチング素子としての薄膜トランジスタ(TFT)11を形成し、能動素子基板12となる。

【0044】また、図2に示すように、絶縁性基板であるガラス基板1の一面上には、ITOからなる共通電極21が形成され、対向基板22が構成される。

【0045】そして、能動素子基板12の一面上に全面にたとえば低温キュア型のポリイミド(PI)からなる配向膜25が形成し、また、対向基板23の一面上に全面にたとえば同様に低温キュア型のPIからなる配向膜26を形成する。また、能動素子基板12と対向基板23との一面上には、各々の配向膜25、26を所定の方向に布などで擦ることにより、ラビングによる配向処理がそれぞれ施される。さらに、能動素子基板12と対向基板23とは互いの一面向側が対向し、かつ、互いの配向膜25、26の配向軸が概略90°をなすように配置し、これら能動素子基板12と対向基板23との間隙に液晶27を封入挿持する。

【0046】ここで、能動素子基板12と対向基板23とを組み合わせる際には、配向膜25、26のラビング方向は、良視角方向が正面方向に向くように設定される。そし

て、能動素子基板12と対向基板23の他上面側には、それぞれ偏光板28、29を被覆し、液晶表示装置(LCD)30を構成し、能動素子基板12と対向基板23のどちらか一方の他正面側から照明を行なう。

【0047】次に、図3を参照して、上述の液晶表示装置30を製造するプラズマCVD装置31の構成を説明する。

【0048】このプラズマCVD装置31は、中央に真空中でのガラス基板1の搬送を行なう搬送機構を備えた共通室32を有し、この共通室32の周囲を放射状に取り囲むように4つの反応室33～36、加熱室37および2つの搬出入室38、39が配設されている。

【0049】そして、成膜を行なう各反応室33～36には、直徑150mmの円形高周波電極およびこの14形高周波電極に対向しガラス基板1をクランプするサセプタを備えており、SiH<sub>4</sub>、H<sub>2</sub>、N<sub>2</sub>H<sub>3</sub>、N<sub>2</sub>O、N<sub>2</sub>、PH<sub>3</sub>、NF<sub>3</sub>およびArのガス供給系と、ドライポンプからなる排気系とが接続されている。また、試料であるガラス基板1は加熱したサセプタにクランプされ、ガラス基板1の表面温度が所望の温度となるように制御されている。

【0050】一方、成膜を行なわない共通室32、加熱室37、搬出入室38、39には、N<sub>2</sub>のガス供給系とドライポンプからなる排気系とが接続されている。そして、ガラス基板1は搬出入室38、39のいずれかに搬入され、共通室32を経て、加熱室37にて加熱され、約10分の加熱後、再び共通室32を経て反応室33に導入される。また、反応室33では、基板温度320℃にて膜厚0.3μmのSiO<sub>x</sub>Ny膜3a、膜厚0.05μmのSiNx膜3b、膜厚0.05μmのa-Si膜4、膜厚0.3μmのSiNxのチャネル保護膜5を積層形成する。

【0051】なお、これらの間、反応室33のサセプタの設定温度は一定に保つ。順次によって温度を変えることも可能だが、温度安定化を図る待機時間だけスルーフットが落ちるので現実的ではない。

【0052】そして、ガラス基板1は、こたび共通室32を経て搬出入室38、39のいずれかにより搬出される。なお、反応室34～36は反応室32と同様にSiO<sub>x</sub>Ny膜3a、SiNx膜3b、a-Si膜4およびSiNxのチャネル保護膜5の4層形成に使用するようになっており、並行処理が行なわれる。

【0053】一方、ゲート絶縁膜3からチャネル保護膜5までの4層を全て同一の反応室33～36で形成する方法は、前述のように同一温度という制約がかかるので、薄膜トランジスタ11の特性ではやや不利となる。特に、チャネル保護膜5の形成中に、活性層であるa-Si膜4が熱劣化を受けてしまう。そこで、SiO<sub>x</sub>Ny膜3a、SiNx膜3b、a-Si膜4の3層までを基板温度320℃にて同一反応室33～36で積層し、別の反応室33～36でSiNxのチャネル保護膜5を基板温度300℃で形

成する方法がある。すなわち、図3のプラズマCVD装置に対応させると、2層のゲート絶縁膜3およびa-Si膜4の3層を反応室33で形成し、共通室32を経て反応室35にガラス基板1を移動させてSiNxのチャネル保護膜5を形成し、その後共通室32を経て搬出させる。同様の処理を反応室34および反応室36でも実施して並行処理する。この場合、ゲート絶縁膜3からチャネル保護膜5の4層を一括して形成するものに比較すると生産性では若干劣るが、特性に優れた薄膜トランジスタT1の製造が可能になる。

【0054】いずれの場合も、SiO<sub>x</sub>N<sub>y</sub>膜3aを用いることで、ゲート絶縁膜3と半導体膜4との積層形成を同一の反応室33~36で実質的に行なえるので、従来の個別の反応室による積層膜形成に比べて生産性が向上する。

【0055】次に、SiO<sub>x</sub>N<sub>y</sub>膜3aの形成プロセスについて説明する。

【0056】図3に示すプラズマCVD装置31で反応室33~36においてガラス基板1を加熱したサセプタにクラシップさせ320℃に調節する。なお、ガラス基板1の温度は300℃から360℃の範囲であることが望ましい。そして、ガラス基板1に対向するシャワー電極から、原料ガスとしてSiH<sub>4</sub>、N<sub>2</sub>OおよびN<sub>2</sub>をそれぞれ20、120、400sccm導入し、排気バルブの開度を調節して気圧をたとえば1、2Torrに調節する。この状態で、13.56MHzの高周波電力200Wを印加するとシャワー電極およびサセプタ間に放電が生じ、SiO<sub>x</sub>N<sub>y</sub>膜3aがガラス基板1上に堆積される。

【0057】なお、ガス流量は堆積する膜の組成に大きく影響する。すなわち、N<sub>2</sub>Oは主にO源として、N<sub>2</sub>はN源として働くので、これらガス流量の調節によって所望の組成の膜を得ている。また、成膜時の気圧は0.5~5Torr程度の広範囲で成膜が可能であるが、この気圧も膜の組成に大きく影響する。一般に、高圧で成膜するほどNが減ってOが多く取り込まれる傾向がある。さらに、サセプタとシャワー電極との電極間隔は10mmから40mmの範囲で、膜厚の均一性に優れる間隔を選択すると良く、最適の電極間隔は圧力との相間が強く、概ね圧力に反比例し、高圧で成膜する場合ほど狭い電極間隔が必要となる。実際、上述の成膜条件では20mm程度が適当である。また、放電の周波数をたとえば27MHz、41MHzあるいは54MHzと高くする場合にも狭い電極間隔が必要となる。

【0058】また、SiO<sub>x</sub>N<sub>y</sub>膜3aの原料ガスにはN<sub>2</sub>の代わりにNH<sub>3</sub>を用いることも可能であり、NH<sub>3</sub>はN<sub>2</sub>に比較して分解が容易であるため、少量でも膜にNが取り込まれる。さらに、NH<sub>3</sub>中のHも膜に取り込まれてN<sub>2</sub>系とは異なるエッチング速度の膜が得られるので、使い分けることでエッチング速度の制御が可能になる。

【0059】一方、原料ガスにSiH<sub>4</sub>の代わりに有機シランを用いると、堆積表面での流動性によって、ステップカバレージに優れたSiO<sub>x</sub>N<sub>y</sub>膜3aが得られる。たとえばボトムゲート薄膜トランジスタにする場合には、ゲート電極2から連続する図示しない配線にテープ加工を施さなくても十分な被覆がなされ、完全ではないまでも平坦化ができる。もちろんトップゲート薄膜トランジスタの場合でもステップカバレージに優れたゲート絶縁膜3は有効である。なお、有機シランとしては、具体的にはTEOS (Tetraethylorthosilicate : Si[OC<sub>2</sub>H<sub>5</sub>]<sub>4</sub>)、TMS (Trimethylsilicate : SiH[OCH<sub>3</sub>]<sub>3</sub>)、TRIES (Triethylsilicate : SiH[OC<sub>2</sub>H<sub>5</sub>]<sub>3</sub>)、Hexamethyldisilazane : [CH<sub>3</sub>]<sub>3</sub>SiNHSi[CH<sub>3</sub>]<sub>3</sub>、Hexamethyldisilane : [XH<sub>3</sub>]<sub>3</sub>SiSi[CH<sub>3</sub>]<sub>3</sub>)、Hexamethyldisiloxane : [CH<sub>3</sub>]<sub>3</sub>SiOSi[CH<sub>3</sub>]<sub>3</sub>などが良く、特にTEOSは半導体の分野ではSiO<sub>2</sub>膜の原料として最も広く知られている材料であり、安価に入手可能である。なお、これらの原料ガスのO源としてはN<sub>2</sub>(O)では酸化能力が弱いのでO<sub>2</sub>を用いることが望ましく、窒化能力もO<sub>2</sub>の酸化能力に対抗する必要があるのでN<sub>2</sub>よりもNH<sub>3</sub>の方が良く、N<sub>2</sub>(O)やN<sub>2</sub>の場合には大流量が必要となる。

【0060】また、有機シランの供給にはバーリングが必要な場合が多いが、このバーリングにはN<sub>2</sub>またはHe、Arなどの不活性ガスを用いる。半導体分野において、TEOSを代表とする有機シランから作製するSiO<sub>2</sub>膜では膜中の水分、あるいは、後から水を取り込む吸湿性がしばしば問題となる。薄膜トランジスタT1でもゲート絶縁膜3に水分が含まれているものを用いれば、薄膜トランジスタT1の安定性などに不具合を生ずる、ところが、この発明のように膜中にNを導入すれば、ステップカバレージ性の良好さを維持して、かつ、水の諸問題を解決できる。

【0061】上述のものでも、不純物と水のブロックを両立させるにはSiO<sub>x</sub>N<sub>y</sub>膜3aの組成に最も効果的な範囲があり、SiO<sub>x</sub>N<sub>y</sub>膜3aはSi、N、OおよびHを主成分とし、組成はN/Si比が0.1~0.8であり、O/SiがN/Siよりも多いと良い。さらに、この範囲内でも、絶縁特性はワイドギャップの広いSiO<sub>x</sub>膜3bに近い方が優れるので、N/Si比が0.3~0.5、O/Si比が1.2~1.5の範囲とすることが望ましい。具体的には、たとえばSiOが1.25でNが0.45程度の組成が適当である。これら組成の調整には、ガスの流量、圧力、放電パワーおよび電極間隔の少なくともいずれかを変えることによって行なう。

【0062】一方、活性層であるn-Si膜4と接するSiNx膜3bの組成は、Si、NおよびHを主成分とし、組成はN/Si比が1.2以上とするが、薄膜トランジスタT1の信頼性を考慮した場合、科学量論的組成の

(9)

特開平08-254713

1. 3.3以上とするとなお好ましい。SiNx膜3b中に不純物としてOが取り込まれるが、Oの含有量を $5 \times 10^{20}$ atoms/cm<sup>3</sup>以下としないと、a-Si膜4との良好な界面が形成できない。また、SiO<sub>x</sub>N<sub>y</sub>膜3aの上にSiNx膜3bを形成するので、特に、同一の反応室33～36にて成膜する場合には、SiO<sub>x</sub>N<sub>y</sub>膜3aの成膜後にN<sub>2</sub>Oを速やかに除去するよう注意が必要である。この場合、短時間で除去するには高真空排気よりもたとえばN<sub>2</sub>ガスによるバージ方式が効果的である。ただし、O含有量を少なくするほど良いというものではなく、バージ時間を長く取ることは生産性に影響するので、薄膜トランジスタIIの特性に影響のない範囲に抑えればよい。また、SiO<sub>x</sub>N<sub>y</sub>膜3aとSiNx膜3bとを同一の反応室33～36にて成膜する場合の間のバージ時間は、それぞれ5秒以上、60秒以下が好ましく、SiNx膜3b中のO含有量の適切な範囲は、 $5 \times 10^{18}$ atoms/cm<sup>3</sup>以上 $5 \times 10^{20}$ atoms/cm<sup>3</sup>以下である。

【0063】また、SiO<sub>x</sub>N<sub>y</sub>膜3aの膜厚を決めるものとしてO/SiとN/Siとを規定したが、この他にHの含有量が成膜温度や圧力で大幅に変化する。これらSi、N、Oの各組成とH含有量をも含めた膜質を規定する量として屈折率があり、SiO<sub>x</sub>N<sub>y</sub>膜3aの屈折率は1.49～1.65の範囲であることが望ましい。そして、Si、NおよびOの組成比が前述の値を満足しても、たとえばHが多量に含まれる膜は絶縁特性に劣る。このような構造が粗な膜は屈折率が小さいので、屈折率を上述の範囲におさめることで良好な効果が得られる。なお、この屈折率は波長632.8nmでの値である。

【0064】さらに、SiO<sub>x</sub>N<sub>y</sub>膜3aの全部または一部に、PまたはBをドーピングすると、PSCG、BSG、BPSGと同様に不純物イオン、特にNaイオンをゲッタリングする効果が得られる。薄膜トランジスタIIはガラス基板1上に形成するので、ガラスからのNaイオンを捕らえる機能を設けておけば、薄膜トランジスタIIの信頼性が増す。具体的には、SiO<sub>x</sub>N<sub>y</sub>膜3aをさらに2層に分割し、ガラス基板1あるいはゲート電極2に近い側にのみPをドーピングする。そして、NaイオンはSiO<sub>x</sub>N<sub>y</sub>膜3aのPがドーピングされたSiO<sub>x</sub>N<sub>y</sub>層にゲッタリングされ、薄膜トランジスタIIの特性の変動などに悪影響をおよぼさなくなる。なお、Pをドーピングするとゲート絶縁膜3の絶縁などの電気特性はやや劣るので、非ドーピング層を積層することでこれを補う。具体例として、ボトムゲート薄膜トランジスタの場合には、PをドーピングしたSiO<sub>x</sub>N<sub>y</sub>層は3.0～8.0nm程度で、ゲート電極2の直上に形成し、このゲート電極2の上を非ドーピングのSiO<sub>x</sub>N<sub>y</sub>層で覆いこれら2つのSiO<sub>x</sub>N<sub>y</sub>層でSiO<sub>x</sub>N<sub>y</sub>膜3aとする。

【0065】また、ドーピング層とゲート電極の間に薄層の非ドーピングSiO<sub>x</sub>N<sub>y</sub>層を挿入し、ドーピング

層を非ドーピング層でサンドイッチすることも効果的であり、SiO<sub>x</sub>N<sub>y</sub>膜3aへのPのドーピングは原料ガスにPH<sub>3</sub>を添加することで容易であり、Bをドーピングする場合には、B<sub>2</sub>H<sub>6</sub>またはBF<sub>3</sub>などを用いればよい。ただし、これらPあるいはBのドーピングを施した膜を形成する反応室33～36と、a-Si層4を形成する反応室33～36とは別にすることが好ましい。

【0066】上述のように、ゲート絶縁膜3を構成するSiO<sub>x</sub>N<sub>y</sub>膜3aとSiNx膜3bの膜厚は、SiO<sub>x</sub>N<sub>y</sub>膜3aの膜厚が20.0nm以上45.0nm以下であり、SiNx膜3bの膜厚が5nm以上20.0nm以下とするのが好ましい。すなわち、絶縁性はSiO<sub>x</sub>N<sub>y</sub>膜3aに、a-Si膜4との界面特性はSiNx膜3bに分担させるものであるから、SiNx膜3bはSiO<sub>x</sub>N<sub>y</sub>膜3aよりも薄い膜とする方が好ましいものであり、両者を合わせたゲート絶縁膜3の全体の膜厚は30.0nm～50.0nmの範囲が適正である。

【0067】次に、他の実施例を図4を参照して説明する。この図4に示す実施例も図1に示す実施例と同様に図2に示す液晶表示装置30の一部を構成する。

【0068】この図4に示す実施例は、図1に示す実施例において、ゲート絶縁膜3として、ゲート電極2を覆うように、膜厚0.15μmの酸化シリコン(SiO<sub>x</sub>)膜3cを形成し、このSiO<sub>x</sub>膜3c上に膜厚0.15μmの酸窒化シリコン(SiO<sub>x</sub>N<sub>y</sub>)膜3dを横層形成し、このSiO<sub>x</sub>N<sub>y</sub>膜3d上に膜厚0.05μmの窒化シリコン(SiNx)膜3eを形成し、そして、膜厚0.05μmのa-Si膜4を形成したものである。

【0069】このように、ゲート絶縁膜3の一部にワイドギャップの広いSiO<sub>x</sub>膜3cを用いることで絶縁性、耐圧をさらに改善し、一方で、SiO<sub>x</sub>膜の弱点である吸湿性や不純物イオンの可動性をSiO<sub>x</sub>N<sub>y</sub>膜3dとの積層でカバーし、さらには、a-Si膜4との界面特性はSiNx膜3eで確保している。

【0070】ここで、この薄膜トランジスタIIのゲート絶縁膜3、a-Si膜4およびチャネル保護膜5の積層形成のプロセスについて説明する。

【0071】まず、SiO<sub>x</sub>膜3cの形成は、常圧CVD、減圧CVD、ラズマCVDあるいはRFスパッタなどの任意の方法により形成する。また、次に形成するSiO<sub>x</sub>N<sub>y</sub>膜3dとの間に真空を維持するといったことは特に必要とせず、SiO<sub>x</sub>N<sub>y</sub>膜3d、SiNx膜3e、a-Si膜4およびチャネル保護膜5は、図1に示す実施例と同様に、たとえばラズマCVDで形成する。

【0072】また、SiO<sub>x</sub>膜3cの形成に常圧CVD法、減圧CVDの熱CVDのプロセスを用いると、ガラス基板1を概ね400℃以上に加熱必要があるが、ハーティクル発生が少なく、ピンホール欠落の少ないゲート絶縁膜3が得られる。具体的には、たとえば430℃に加



(10)

特開平08-254713

熱したガラス基板1にSiH<sub>4</sub>、O<sub>2</sub>およびN<sub>2</sub>Oをそれぞれ100sccm、2sln、20sln導入すると、SiO<sub>x</sub>膜3cが形成される。この場合のN<sub>2</sub>Oは希釈ガスであって成膜に直接は寄与しない。

【0073】さらに、常圧CVD法で原料ガスにSiH<sub>4</sub>膜の代わりに有機シランを用いると、堆積表面での流動性によって、ステップカバレージに優れたSiO<sub>x</sub>膜が得られる。たとえばボトムゲート薄膜トランジスタの場合には、ゲート電極2から連続した図示しない配線にてーバー加工を施さなくても、十分な被覆がなされ、完全ではないまでも平坦化できる。もちろんトップゲート薄膜トランジスタの場合でもステップカバレージに優れたゲート絶縁膜3は有効である。なお、有機シランの具体例としては、前述のTDS、TMS、TRIESなどであり、これらの原料ガスのO源としてはO<sub>2</sub>だけでは参加能力が弱いのでオゾナイザで育成させたO<sub>3</sub>をも用いることが必要である。なお、常圧CVD法で有機シランから作製したSiO<sub>x</sub>膜は特に吸湿性に富んでいるので、薄膜トランジスタに適用する場合、耐水性の高いSiO<sub>x</sub>膜3dとの組み合わせが必要である。

【0074】次に、SiO<sub>x</sub>膜3cの形成にプラズマCVDを用いる場合について説明する。この場合も、前述のプラズマCVD装置31で、反応室33～36において加熱したサセフタにガラス基板1をクランプさせて320℃に調節する。そして、ガラス基板1の温度は300℃から360℃の範囲であることが望ましい。この場合、熱CVDに比べて低温にて形成でき、ガラス基板1へのダメージが少ない点が有利である。

【0075】そして、ガラス基板1に対向するシャワー電極から、原料ガスとしてSiH<sub>4</sub>、N<sub>2</sub>Oをそれぞれ20sccm、800sccm導入し、たとえば排気バルブの開度を調節して気圧をたとえば1.2Torrに調節する。ここで13.56MHzの高周波電力300Wを印加すると放電が生じ、SiO<sub>x</sub>膜3cがガラス基板1上に堆積される。また、ガス流量は膜室がSiリッチにならないよう、SiH<sub>4</sub>に対してN<sub>2</sub>Oを20倍以上供給することが望ましい。

【0076】また、成膜時の圧力は0.5～5Torr程度の広範囲で成膜が可能だが、低圧成膜の方が膜中のHの取り込みが少なく良質な絶縁膜となるので0.6～1.8Torrが適当である。そして、サセプタとシャワー電極との間の電極間隔は10mmから40mmの範囲で、膜厚の均一性に優れる間隔を選択すると良い。なお、最適の電極間隔は圧力との相関が強く、概ね圧力に反比例し、高圧で成膜する場合ほど狭い電極間隔が必要となる。

【0077】そして、常圧CVDと同様、プラズマCVDにおいても、SiO<sub>x</sub>膜3cの原料ガスにSiH<sub>4</sub>の代わりに有機シランを用いると、堆積表面での流動性によって、ステップカバレージに優れたSiO<sub>x</sub>膜3dが

得られる。この場合の有機シランの具体例は前述のTDS、TMS、TRIESなどがある。なお、これらの原料ガスのO源としてはN<sub>2</sub>Oでは参加能力が弱いのでO<sub>2</sub>が好ましく、やはり吸湿性が高いのでSiO<sub>x</sub>膜3dとSiO<sub>x</sub>膜3cとの組み合わせが必要となる。

【0078】次に、上述の方法によって形成したSiO<sub>x</sub>膜3c上にSiO<sub>x</sub>膜3dを形成するときは以下の点で注意する必要がある。このSiO<sub>x</sub>膜3cは、形成方法によって程度の差はあるものの、成膜終了時点においてすでに膜中に水分を内包しており、プラズマCVDよりは常圧CVD、SiH<sub>4</sub>系よりは有機シラン系となるほど水を含んでいる。また、大気に曝した場合には吸湿もする。したがって、SiO<sub>x</sub>膜3dの形成に際しては事前にこの水分を放出させることが必要である。この水分を放出させる方法としては、真空または10Torr以下の減圧雰囲気中でアニールし、その後、大気に曝すことなくSiO<sub>x</sub>膜3dで覆ってしまうと良い。なお、SiO<sub>x</sub>膜3cとSiO<sub>x</sub>膜3dの形成が別装置であるときはもちろんのこと、同じ装置で連続形成するときにも一度アニール処理でSiO<sub>x</sub>膜3c中の水分を追い出すことが望ましい。また、アニール温度はSiO<sub>x</sub>膜3dの形成温度よりも10℃～40℃高温で行なうことが好ましく、1～2分でもガラス基板1の昇温だけなら可能であるが水分脱離に関しては不十分であるので、アニール時間は5分以上できれば10分以上必要である。

【0079】一方、SiO<sub>x</sub>膜3cの組成は、Si、OおよびHを主成分とし、SiO<sub>x</sub>膜中には形成方法によってはNが取り込まれるが、良好な絶縁特性を得るためにNの含有量を5×10<sup>20</sup>atoms/cm<sup>3</sup>以下とすべきである。

【0080】また、ゲート絶縁膜3を構成するSiO<sub>x</sub>膜3c、SiO<sub>x</sub>膜3dとSiN<sub>x</sub>膜3eの膜厚は、SiO<sub>x</sub>膜3cとSiO<sub>x</sub>膜3dの合計膜厚が200nm以上450nm以下であり、かつ、SiO<sub>x</sub>膜3dの膜厚が100nm以上、SiN<sub>x</sub>膜3eの膜厚が5nm以上200nm以下とするのが好ましい。そして、絶縁性はSiO<sub>x</sub>膜3cとSiO<sub>x</sub>膜3dとで、耐水性と不純物イオンのブロックをSiN<sub>x</sub>膜3eで、a-Si膜4との界面特性はSiN<sub>x</sub>膜3eに分担させる。また、SiO<sub>x</sub>膜3cは絶縁性が確実でpinホール欠落密度が少ないため、絶縁性が確実になる。さらに、SiO<sub>x</sub>膜3c、SiO<sub>x</sub>膜3dとSiN<sub>x</sub>膜3eの全部を合わせたゲート絶縁膜3の全体の膜厚は、300nm～500nmの範囲が適正である。

【0081】また、他の実施例を図5を参照して説明する。この図5に示す実施例も図1に示す実施例と同様に図2に示す液晶表示装置30の一部を構成する。

【0082】この図5に示す実施例は、図1に示す実施例において、薄膜トランジスタ11の形状に特徴があり、チャネル保護膜5の幅はゲート電極2に裏面露光を用い

(11)

特開平08-254713

て自己整合しているものである。

【0083】そして、ゲート絶縁膜3の構成は、図1に示す実施例と同様にSiO<sub>x</sub>N<sub>y</sub>膜3aとSiN<sub>x</sub>膜3bの積層である。

【0084】この様にチャネル保護膜5の幅、すなわちチャネル長とゲート電極2の幅を一致させた薄膜トランジスタ11は、ゲート・ソース間の寄生容量が少ない利点がある。しかし、チャネル保護膜5の長さよりゲート電極2の大きい薄膜トランジスタに比べて、ガラス基板1からの汚染に弱い。すなわち、ガラス基板1からたとえばNaなどの不純物イオンが拡散しても、チャネル保護膜5は大きなゲート電極2によって保護されて影響を受けない、または軽減されている。これに対して自己整合型の溝膜トランジスタ11では、チャネル保護膜5に不純物イオン拡散に対して強い構造にしておく必要があるが、SiO<sub>x</sub>N<sub>y</sub>膜3aとSiN<sub>x</sub>膜3bの積層型のゲート絶縁膜3とすることで、薄膜トランジスタ11の特性の信頼性向上に、特に顕著な効果が現れる。もちろん、ドアBをSiO<sub>x</sub>N<sub>y</sub>膜3aの一部にドーピングすることで不純物に対する効果がより向上する。

【0085】さらに、他の実施例を図6を参照して説明する。この図6に示す実施例も図4に示す実施例と同様に図2に示す液晶表示装置30の一部を構成する。

【0086】この図6に示す実施例は、図4に示す実施例において、チャネル保護膜5の幅はゲート電極2に裏面露光を用いて自己整合しているものである。

【0087】そして、ゲート絶縁膜3の構成は、SiO<sub>x</sub>膜3c、SiO<sub>x</sub>N<sub>y</sub>膜3dおよびSiN<sub>x</sub>膜3eを積層したもので、図5に示す実施例と同様の効果を有している。

【0088】上記いずれの実施例においても、歩留まりが向上するため、低コスト化につながり、また、薄膜トランジスタ11の特性が安定化して、より厳しい駆動条件下での使用を可能とする。

【0089】なお、上記実施例では液晶表示装置につい

て説明したが、a-Si密着センサなどにも適用できる。

【0090】

【発明の効果】本発明によれば、ゲート絶縁膜として、酸化シリコン膜および窒化シリコン膜を用い、この酸化シリコン膜が非単結晶シリコンに接しているため、酸化シリコン膜はワイドギャップで絶縁性に優れ、不純物イオンブロック効果、耐水性を期待することができるとともに、窒化シリコン膜は非単結晶シリコンとの界面性も良く、特性を向上できる。

【図面の簡単な説明】

【図1】本発明の一実施例を用いたアクティブマトリクス型液晶表示素子に用いる薄膜トランジスタを示す断面図である。

【図2】同上液晶表示装置の構成を示す断面図である。

【図3】同上液晶表示装置を製造するプラズマCVD装置を示す構成図である。

【図4】同上他の実施例のアクティブマトリクス型液晶表示素子に用いる薄膜トランジスタを示す断面図である。

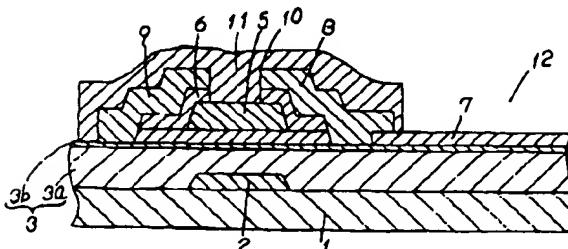
【図5】同上また他の実施例のアクティブマトリクス型液晶表示素子に用いる薄膜トランジスタを示す断面図である。

【図6】同上さらに他の実施例のアクティブマトリクス型液晶表示素子に用いる薄膜トランジスタを示す断面図である。

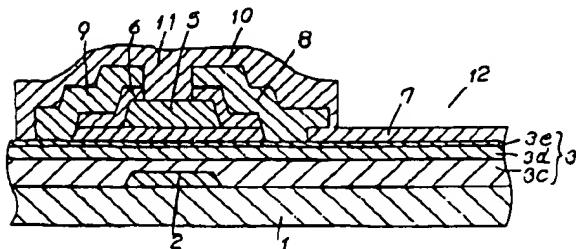
【符号の説明】

3	ゲート絶縁膜
3a	酸化シリコン膜
3b	窒化シリコン膜
3c	酸化シリコン膜
3d	酸化シリコン膜
3e	窒化シリコン膜
4	活性層としてのa-Si膜
11	スイッチング素子としての薄膜トランジスタ

【図5】



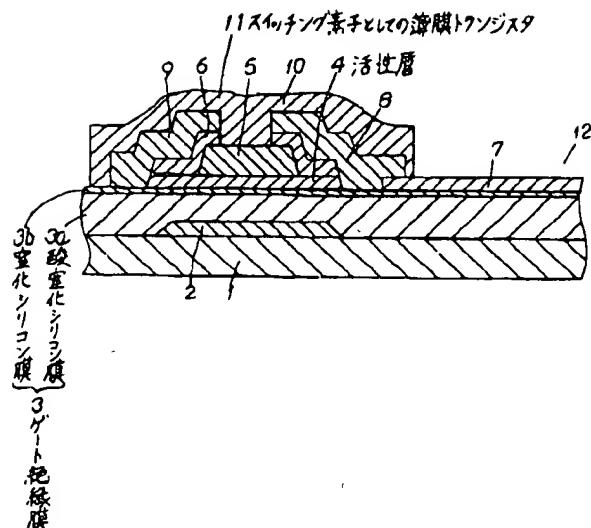
【図6】



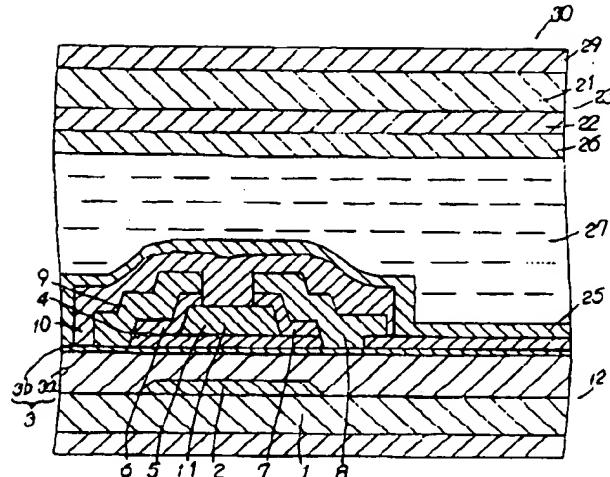
(12)

特開平08-254713

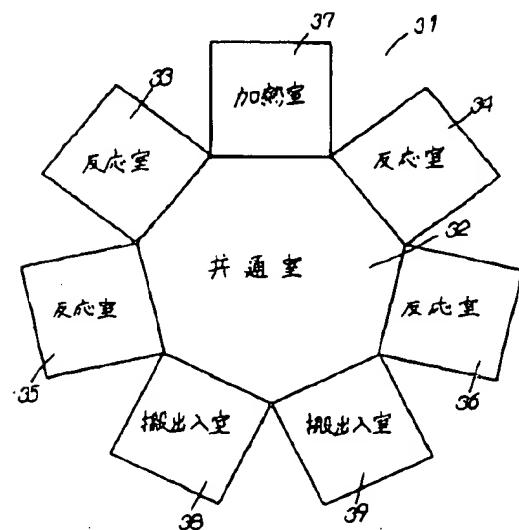
(四一)



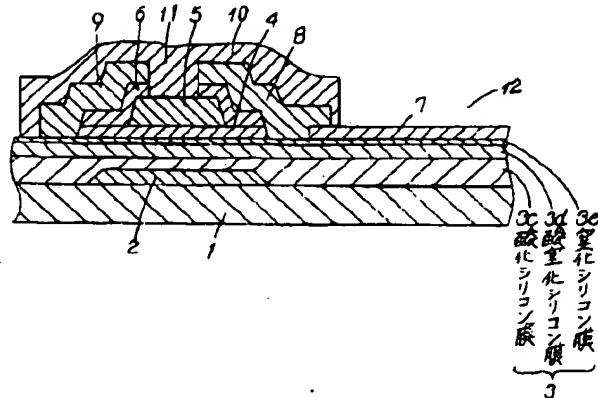
〔圖2〕



( 3)



(圖 4)



JP08-254713

## JAPAN PATENT LAID-OPEN

(11) Publication number: **08-254713**

(43) Date of publication of application: **October 1, 1996**

(51) Int.CI. **G02F 1/136**  
**H01L 29/786**

(21) Application number: **07-056939** (71) Applicant: **TOSHIBA CORP**

(22) Date of filing: **March 16, 1995** (72) Inventor: **Kaichi FUKUDA**

(54) [Title of Invention]

THIN FILM TRANSISTOR, MANUFACTURING METHOD THEREOF AND  
LIQUID CRYSTAL DISPLAY ELEMENT

(57) [Abstract]

[PURPOSE] To provide a thin film transistor having excellent characteristics, stability, insulatability, yield and processing matching property.

[CONSTITUTION] A gate electrode 2 is formed on one main surface of a glass substrate 1. A silicon oxynitride ( $SiO_xN_y$ ) film 3a and silicon nitride ( $SiN_x$ ) film 3b are laminated to form on the gate electrode 2, and a gate insulating film 3 is formed by these two layers. An a-Si film 4 is laminated to form on this gate insulating film 3. An  $SiN_x$  film is laminated on the a-Si film 4 to form a channel protective film 5. A pixel electrode 7 consisting of ITO (Indium Tin Oxide) is formed on the gate insulating film 3. A source electrode 8 is formed on the source region of a low-resistance semiconductor film 6 in the state of connecting this electrode to the pixel electrode 7, a drain electrode 9 is formed on the drain region, a protective film 10 is laminated to form, so as to obtain an active element substrate 12.

## [Claims]

[Claim 1] In a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film, it is characterized by forming the aforementioned gate insulating film in the laminated films of an acid silicon nitride film and a silicon nitride film, and this silicon nitride film being in contact with the aforementioned non-single crystal silicon.

[Claim 2] A thin film transistor according to Claim 1 characterized in that: an acid silicon nitride film mainly contains Si, N, O and H, wherein the concentration of N ranges from 0.1 to 0.8 at N/Si ratio and less than the concentration of O; and a silicon nitride film mainly contains Si, N and H, wherein the concentration of N ranges from 1.2 to 1.6 at N/Si ratio and the concentration of O is less than  $5 \times 10^{20}$  atoms/cm<sup>3</sup>.

[Claim 3] A thin film transistor according to Claim 1 or 2 characterized by doping any one of P or B into at least one part of an acid silicon nitride film.

[Claim 4] A thin film transistor according to any one of Claims 1 to 3 characterized in that a refractive index of an acid silicon nitride film ranges from 1.49 to 1.65 at wavelength of 632.8 nm.

[Claim 5] A thin film transistor according to any one of Claims 1 to 4 characterized in that: a thickness of an acid silicon nitride film ranges from 200 nm to 450 nm; and a thickness of a silicon nitride film ranges from 5 nm to 200 nm.

[Claim 6] In a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film, it is characterized in that: the aforementioned gate insulating film is formed in the laminated films of a silicon oxide film, an acid silicon nitride film and a silicon nitride film; this acid silicon nitride film is arranged covering the upper part of the aforementioned silicon oxide film; this silicon nitride film is in contact with the aforementioned non-single crystal silicon.

[Claim 7] A thin film transistor according to Claim 6 characterized by doping any one of P or B into at least one part of a silicon nitride film.

[Claim 8] A thin film transistor according to Claim 6 or 7 characterized in that a silicon oxide film mainly contains Si, O and H, wherein the concentration of N is less than  $5 \times 10^{20}$  atoms/cm<sup>3</sup>.

[Claim 9] A thin film transistor according to any one of Claims 6 to 8 characterized in that: the total thickness of a silicon oxide film and an acid silicon nitride film ranges from 200 nm to 450 nm; and a thickness of an acid silicon nitride film is more than 100 nm; and a thickness of a silicon nitride film ranges from 5 nm to 200 nm.

[Claim 10] In a thin film transistor which uses non-single crystal silicon for an active layer that is formed on a gate insulating film formed on a gate electrode, and has an

JP08-254713

inverted staggered structure with a channel protective film, it is characterized in that: a gate insulating film is formed in the laminated films of an acid silicon nitride film and a silicon nitride film; and this silicon nitride film is in contact with the aforementioned non-single crystal silicon; and the aforementioned channel protective film is self-matched to the aforementioned gate electrode.

[Claim 11] In a thin film transistor which uses non-single crystal silicon for an active layer that is formed on a gate insulating film formed on a gate electrode, and has an inverted staggered structure with a channel protective film, it is characterized by forming the aforementioned gate insulating film in the laminated films of a silicon oxide film, an acid silicon nitride film and a silicon nitride film; this acid silicon nitride film is arranged covering the upper part of the aforementioned silicon oxide film; this silicon nitride film being in contact with the aforementioned non-single crystal silicon; and self-matching the aforementioned channel protective film to the aforementioned gate electrode.

[Claim 12] In a manufacturing method of a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film, it is characterized by: forming the aforementioned gate insulating film in the laminated films of an acid silicon nitride film and a silicon nitride film; this silicon nitride film being in contact with the aforementioned non-single crystal silicon; and forming this an acid silicon nitride film by the plasma CVD using a mixed gas of  $\text{SiH}_4$ ,  $\text{N}_2\text{O}$ ,  $\text{N}_2$  or  $\text{NH}_3$  as a material gas.

[Claim 13] In a manufacturing method of a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film, it is characterized by: forming the aforementioned gate insulating film in the laminated films of an acid silicon nitride film and a silicon nitride film; this silicon nitride film being in contact with the aforementioned non-single crystal silicon; and forming the aforementioned acid silicon nitride film by the plasma CVD using a mixed gas of organic silane,  $\text{O}_2$ ,  $\text{N}_2$  or  $\text{NH}_3$  as a material gas.

[Claim 14] In a manufacturing method of a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film, it is characterized by: forming the aforementioned gate insulating film in the laminated films of an acid silicon nitride film and a silicon nitride film; this silicon nitride film being in contact with the aforementioned non-single crystal silicon; and forming the aforementioned acid silicon nitride film, silicon nitride film and non-single crystal silicon in the same reaction chamber of the plasma CVD successively.

[Claim 15] In a manufacturing method of a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film, and a protective film

JP08-254713

using an inorganic insulating film is formed on the surface, it is characterized by: forming the aforementioned gate insulating film in the laminated films of an acid silicon nitride film and a silicon nitride film; this silicon nitride film being in contact with the aforementioned non-single crystal silicon; and forming the aforementioned acid silicon nitride film, silicon nitride film, non-single crystal silicon and inorganic insulating film in the same reaction chamber of the plasma CVD successively.

[Claim 16] In a manufacturing method of a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film, it is characterized in that: the aforementioned gate insulating film is formed in the laminated films of a silicon oxide film, an acid silicon nitride film and a silicon nitride film; this acid silicon nitride film is arranged covering the upper part of the aforementioned silicon oxide film; this silicon nitride film is in contact with the aforementioned non-single crystal silicon; the aforementioned silicon oxide film uses  $\text{SiH}_4$  and  $\text{O}_2$  as a main material gas using  $\text{N}_2$  for a dilution gas; to form by the ordinary pressure CVD.

[Claim 17] In a manufacturing method of a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film, it is characterized in that: the aforementioned gate insulating film is formed in the laminated films of a silicon oxide film, an acid silicon nitride film and a silicon nitride film; this acid silicon nitride film is arranged covering the upper part of the aforementioned silicon oxide film; this silicon nitride film is in contact with the aforementioned non-single crystal silicon; the aforementioned silicon oxide film uses organic silane,  $\text{O}_2$ ,  $\text{N}_2$  and  $\text{NH}_3$  as a main material gas using  $\text{N}_2$  for a dilution gas; to form by the ordinary pressure CVD.

[Claim 18] In a manufacturing method of a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film, it is characterized in that: the aforementioned gate insulating film is formed in the laminated films of a silicon oxide film, an acid silicon nitride film and a silicon nitride film; this acid silicon nitride film is arranged covering the upper part of the aforementioned silicon oxide film; this silicon nitride film is in contact with the aforementioned non-single crystal silicon; the aforementioned silicon oxide film uses  $\text{SiH}_4$  and  $\text{N}_2\text{O}$  as a main material gas; to form by the plasma CVD.

[Claim 19] In a manufacturing method of a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film, it is characterized in that: the aforementioned gate insulating film is formed in the laminated films of a silicon oxide film, an acid silicon nitride film and a silicon nitride film; this acid silicon nitride film is arranged covering the upper part of the aforementioned silicon oxide film; this silicon nitride film is in contact with the aforementioned non-single crystal silicon;

JP08-254713

the aforementioned silicon oxide film uses organic silane and O<sub>2</sub> as a main material gas; to form by the plasma CVD.

[Claim 20] In a manufacturing method of a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film on a substrate, it is characterized in that: the aforementioned gate insulating film is formed in the laminated films of a silicon oxide film, an acid silicon nitride film and a silicon nitride film; this acid silicon nitride film is arranged covering the upper part of the aforementioned silicon oxide film; this silicon nitride film is in contact with the aforementioned non-single crystal silicon; and a substrate that the aforementioned silicon oxide film is formed is annealed in the vacuum of 10 Torr or less than or in the reduced pressure ambient atmosphere; and then an acid silicon nitride film is formed without exposing into the atmospheric air.

[Claim 21] In a manufacturing method of a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film on a substrate, it is characterized in that: the aforementioned gate insulating film is formed in the laminated films of a silicon oxide film, an acid silicon nitride film and a silicon nitride film; this acid silicon nitride film is arranged covering the upper part of the aforementioned silicon oxide film; this silicon nitride film is in contact with the aforementioned non-single crystal silicon; and the aforementioned acid silicon nitride film, silicon nitride film and non-single crystal silicon are formed in the same reaction chamber of the plasma CVD successively.

[Claim 22] In a manufacturing method of a thin film transistor which uses non-single crystal silicon for an active layer formed on a gate insulating film on a substrate, and a protective film using an inorganic insulating film is formed on the surface, it is characterized in that: the aforementioned gate insulating film is formed in the laminated films of a silicon oxide film, an acid silicon nitride film and a silicon nitride film; this acid silicon nitride film is arranged covering the upper part of the aforementioned silicon oxide film; this silicon nitride film is in contact with the aforementioned non-single crystal silicon; and an acid silicon nitride film, a silicon nitride film, a non-single crystal silicon and an inorganic insulating film are formed in the same reaction chamber of the plasma CVD successively.

[Claim 23] A liquid crystal display element characterized by using a thin film transistor according to any one of Claims 1 to 11 as a switching element.